

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05082777 A

(43) Date of publication of application: 02.04.93

(51) Int. Cl

H01L 29/784

(21) Application number: 03243359

(71) Applicant: NEC CORP

(22) Date of filing: 24.09.91

(72) Inventor: MOGAMI TORU

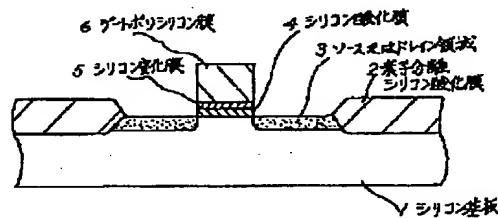
(54) MOS TYPE FIELD EFFECT TRANSISTOR AND
ITS MANUFACTURE

(57) Abstract:

PURPOSE: To realize a surface channel type p⁺ polysilicon gate PMOS type field effect transistor which develops no punchthrough of baron and whose electric characteristics of device is the same as the case where a silicon oxide film is a gate insulating film.

CONSTITUTION: A gate insulating film is of a double-layer structure of a silicon nitride film 5 and a silicon oxide film 4, and the silicon nitride film 5 is located on the gate electrode side.

COPYRIGHT: (C)1993,JPO&Japio





(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-82777

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl.⁶

H 01 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M

H 01 L 29/78

301 G

審査請求 未請求 請求項の数4(全6頁)

(21)出願番号 特願平3-243359

(22)出願日 平成3年(1991)9月24日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 最上 優

東京都港区芝五丁目7番1号 日本電気株
式会社内

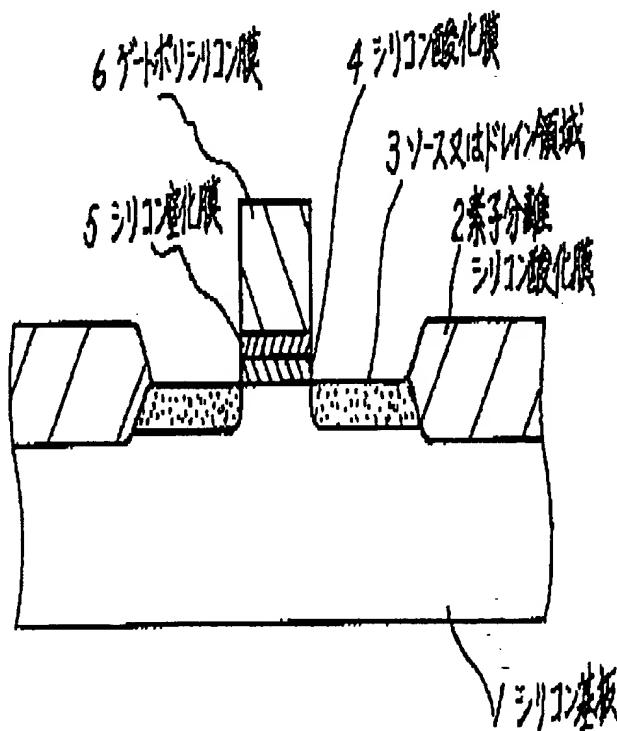
(74)代理人 弁理士 菅野 中

(54)【発明の名称】 MOS型電界効果トランジスタ及びその製造方法

(57)【要約】

【目的】 ポロン突き抜けが生じないで、かつデバイスの電気特性がシリコン酸化膜をゲート絶縁膜とした場合と同じである表面チャネル型p'ポリシリコンゲートPMOS型電界効果トランジスタを実現する。

【構成】 ゲート絶縁膜がシリコン窒化膜5とシリコン酸化膜4との2層構造で、かつシリコン窒化膜5がゲート電極側に位置する。



【特許請求の範囲】

【請求項 1】 2層構造のゲート絶縁膜を有するMOS型電界効果トランジスタであって、

2層構造のゲート絶縁膜は、上下に積層されたシリコン窒化膜とシリコン酸化膜であり、

シリコン窒化膜は、ゲート電極側に位置するものであることを特徴とするMOS型電界効果トランジスタ。

【請求項 2】 3層構造のゲート絶縁膜を有するMOS型電界効果トランジスタであって、

3層構造のゲート絶縁膜は、上下に積層されたシリコン酸化膜とシリコン窒化膜とシリコン酸化膜であり、

シリコン窒化膜は、ゲート電極とシリコン基板との間でシリコン酸化膜間に形成されたものであることを特徴とするMOS型電界効果トランジスタ。

【請求項 3】 半導体基板上の活性領域にゲート絶縁膜として、シリコン酸化膜を形成する工程と、

該シリコン酸化膜上に分子ビーム膜堆積法によりシリコン膜を堆積する工程と、

該シリコン膜を窒化し、シリコン窒化膜を形成する工程とを含むことを特徴とするMOS型電界効果トランジスタの製造方法。

【請求項 4】 半導体基板上の活性領域にゲート絶縁膜として、シリコン酸化膜を形成する工程と、

該シリコン酸化膜上に分子ビーム膜堆積法によりシリコン膜を堆積する工程と、

該シリコン膜を窒化し、シリコン窒化膜を形成する工程と、

該シリコン窒化膜の表面部分を酸化する工程とを含むことを特徴とするMOS型電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はMOS型電界効果トランジスタ及びその製造方法に関するものである。

【0002】

【従来の技術】 シリコンMOS型電界効果トランジスタのゲート電極としては、従来、N型ドープポリシリコンが用いられている。しかし、ゲート長の微細化に伴い、しきい値電圧のゲート長依存性（短チャネル効果）が深刻な問題となってきた。

【0003】 特にPチャネルMOS型電界効果トランジスタでは、従来ゲート電極としてN型ドープポリシリコンを用いているために、埋め込みチャネル構造となり、短チャネル効果が問題となり易い。

【0004】 この問題解決のために、PチャネルMOS型電界効果トランジスタでは、P型ドープポリシリコンを、NチャネルMOS型電界効果トランジスタでは、N型ドープポリシリコンを用いたデバイス構造が提案されている。

【0005】

【発明が解決しようとする課題】 しかしながら、PチャネルMOS型電界効果トランジスタでP型ドープポリシリコンをゲート電極として用いた場合、900°C程度の熱処理により、ゲート電極中のボロンがゲート酸化膜中を通り抜け、基板シリコンに到達し、トランジスタのしきい値電圧を大幅に変化させるという問題があった。

【0006】 また、ゲート絶縁膜として、窒化酸化膜を用いることにより、ボロンの突き抜けを抑制できることが森本らにより、インターナショナル エレクトロニクスバイスイズ ミーティング (International Electron Devices Meeting) 1990のTechnical Digest p.p. 429~432に報告されている。

【0007】 しかしながら、従来報告されている窒化酸化膜は、ゲート絶縁膜中における窒素の位置がシリコン酸化膜とシリコン基板との界面に存在するために、デバイスの電気特性への影響がある。

【0008】 たとえば、岩井らにより、1990シンポジウム オン ブイエルエスアイテクノロジー (Symposium on VLSI Technology) p.p. 131~132に報告されているように、MOS型電界効果トランジスタの移動度がシリコン酸化膜と窒化酸化膜とでは異なり、PMOSFETでは移動度が減少する。また、シリコン酸化膜に比べて、窒化酸化膜では界面準位が多いことも報告されている。

【0009】 本発明の目的は、これら従来構造の問題点を解消しうる新規なMOS型電界効果トランジスタ構造、並びに当該構造を容易に実現しうる新規な製造方法を提供することにある。

【0010】

【課題を解決するための手段】 前記目的を達成するため、本発明によるMOS型電界効果トランジスタにおいては、2層構造のゲート絶縁膜を有するMOS型電界効果トランジスタであって、2層構造のゲート絶縁膜は、上下に積層されたシリコン窒化膜とシリコン酸化膜であり、シリコン窒化膜は、ゲート電極側に位置するものである。

【0011】 また、3層構造のゲート絶縁膜を有するMOS型電界効果トランジスタであって、3層構造のゲート絶縁膜は、上下に積層されたシリコン酸化膜とシリコン窒化膜とシリコン酸化膜であり、シリコン窒化膜は、ゲート電極とシリコン基板との間でシリコン酸化膜間に形成されたものである。

【0012】 また、本発明によるMOS型電界効果トランジスタの製造方法においては、半導体基板上の活性領域にゲート絶縁膜として、シリコン酸化膜を形成する工程と、該シリコン酸化膜上に分子ビーム膜堆積法によりシリコン膜を堆積する工程と、該シリコン膜を窒化し、シリコン窒化膜を形成する工程とを含むものである。

【0013】 また、半導体基板上の活性領域にゲート絶

縁膜として、シリコン酸化膜を形成する工程と、該シリコン酸化膜上に分子ビーム膜堆積法によりシリコン膜を堆積する工程と、該シリコン膜を窒化し、シリコン窒化膜を形成する工程と、該シリコン窒化膜の表面部分を酸化する工程とを含むものである。

【0014】

【作用】本発明のMOS型電界効果トランジスタについて説明する。本発明によるゲート絶縁膜構造を有するp'ポリシリコンゲートPチャネルMOS型電界効果トランジスタでは、ゲート絶縁膜中にシリコン窒化膜を含むために、ボロン突き抜けがほとんど生じない。

【0015】また、本発明による新構造トランジスタでは窒化膜がシリコン基板とゲート絶縁膜界面に存在しないために、移動度が従来のシリコン酸化膜をゲート絶縁膜とするトランジスタの移動度とほぼ同じであった。

【0016】さらに、本発明のMOS型電界効果トランジスタの製造方法について説明する。従来、窒化酸化膜のゲート絶縁膜は、シリコン基板の活性領域を所定の厚さだけ酸化した後、窒素化合物ガスを用いて、窒化を行っていた。この方法では窒化膜は酸化膜とシリコン基板との界面に形成されていた。

【0017】そこで、まず、シリコン基板の活性領域を所定の厚さだけ酸化した後、オングストロームオーダーの堆積膜を均一性良く堆積することのできる分子ビーム膜堆積法により、シリコン膜を均一に所定の厚さだけ堆積する。

【0018】その後、窒化化合物ガスを用いて、当該シリコン膜を窒化し、酸化膜と窒化膜の2層構造を形成する。あるいはさらに、前記窒化膜を酸化することにより、酸化膜／窒化膜／酸化膜の3層構造を形成することができる。

【0019】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0020】図1と図2とは、本発明の請求項1と請求項2に述べた本発明のトランジスタ構造のそれぞれの実施例を示した模式的断面図である。図1のトランジスタ構造では、ゲート絶縁膜が酸化膜4と窒化膜5の2層構造、図2のトランジスタ構造では、ゲート絶縁膜は、酸化膜4／窒化膜5／酸化膜4の3層構造となっている。図1、図2のトランジスタでは、デバイスの電気特性を従来構造と同様に保ったまま、ボロン突き抜けを抑制することができた。

【0021】図3と図4とは、本発明の請求項3と請求項4に述べた本発明によるトランジスタ構造の製造方法の実施例を示した模式的断面図である。図3(a)は、シリコン基板1上で、素子分離領域2を形成した後、活性領域を5nm酸化してシリコン酸化膜4を形成し、さらに分子ビーム膜堆積法によりシリコン薄膜7を1nm堆積した状態を示す。

【0022】次に図3(b)に示すように、アンモニアガスを用いた1000℃の熱窒化法により、前記シリコン薄膜7をシリコン窒化膜5にした後、ゲートポリシリコン膜6を堆積する。

【0023】次いで図3(c)に示すように、通常のホトレジスト工程とドライエッチング工程によりゲート電極を形成した後、ボロンをイオン注入法により、ゲート電極とソース、ドレイン領域3に注入する。さらに層間絶縁膜8を堆積した後、900℃の熱処理を実施し、図1に示すトランジスタを完成する。

【0024】図1のトランジスタでは、ゲート絶縁膜が、ゲート電極側にシリコン窒化膜が位置してシリコン窒化膜5とシリコン酸化膜4とが上下に積層された2層構造となる。

【0025】図4(a)は、シリコン基板1上で、素子分離領域2を形成した後、活性領域を5nm酸化してシリコン酸化膜4を形成し、さらに分子ビーム膜堆積法によりシリコン薄膜7を1nm堆積した状態を示す。

【0026】次に図4(b)に示すように、アンモニアガスを用いた1000℃の熱窒化法により、前記シリコン薄膜7をシリコン窒化膜5にした後、さらに酸素雰囲気中において熱処理を実施し、前記シリコン窒化膜5の表面部分を再酸化してシリコン酸化膜4とする。

【0027】次いでゲートポリシリコン膜6を堆積し、通常のホトレジスト工程とドライエッチング工程によりゲート電極を形成した後、ボロンをイオン注入法により、図4(c)のようにゲート電極とソース、ドレイン領域3に注入する。さらに層間絶縁膜8を堆積した後、900℃の熱処理を実施し、図2に示すトランジスタを完成する。

【0028】図2に示すトランジスタでは、ゲート絶縁膜が、シリコン酸化膜4、4間にシリコン窒化膜5が位置した3層構造となる。

【0029】前記実施例においては、熱窒化のためにアンモニアガスを用いたが、酸化窒素ガス(N₂O)も用いることができる。また、前記実施例ではポリシリコンをゲート材料としたが、シリサイドとポリシリコンの2層構造であるポリサイド構造、あるいはソース、ドレインと同時にゲート電極をシリサイド／ポリシリコン2層構造とするポリサイド構造もゲート材料として用いることができる。

【0030】図5は、本発明によるゲート絶縁膜構造を有するp'ポリシリコンゲートPチャネルMOS型電界効果トランジスタと、シリコン酸化膜をゲート絶縁膜とする従来構造のp'ポリシリコンゲートPチャネルMOS型電界効果トランジスタと、窒化酸化膜(窒化膜がシリコン基板とシリコン酸化膜界面に存在するゲート絶縁膜)をゲート絶縁膜とする構造のp'ポリシリコンゲートPチャネルMOS型電界効果トランジスタのしきい値電圧の熱処理温度依存性の比較である。

【0031】本発明の構造のトランジスタと窒化酸化膜をゲート絶縁膜とするトランジスタとではゲート絶縁膜中の窒化膜がボロン突き抜けを抑制するためにしきい値電圧の変動は生じないが、酸化膜をゲート絶縁膜とする従来構造のトランジスタではボロン突き抜けが生じ、しきい値電圧の変動が起こる。さらに、図6は、本発明の構造のトランジスタと、酸化膜をゲート絶縁膜とする従来構造のトランジスタと、窒化酸化膜をゲート絶縁膜とするトランジスタの移動度の比較である。

【0032】本発明の構造によるトランジスタの移動度は、従来構造トランジスタとほぼ同じであったが、窒化酸化膜をゲート絶縁膜とするトランジスタの移動度は他の構造のトランジスタの移動度よりも減少していた。この結果は、本発明のトランジスタでは、ゲート絶縁膜とシリコン基板の界面がシリコン酸化膜となっているためである。

【0033】

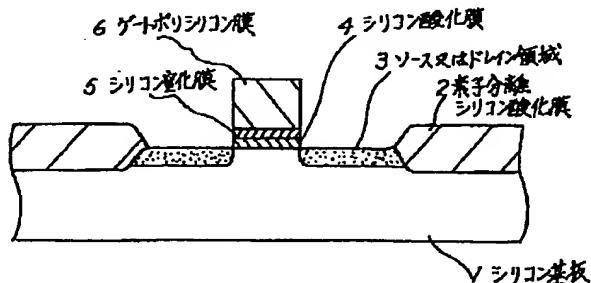
【発明の効果】以上説明したように本発明によれば、MOS型電界効果トランジスタのゲート絶縁膜として、酸化膜と窒化膜の2層構造あるいは酸化膜と窒化膜の3層構造を用いることにより、デバイスの電気特性を従来構造のトランジスタと同じまで、ボロン突き抜けを抑制することができる。

【0034】また、前記トランジスタ構造を分子ビーム膜堆積法を用いて形成することにより、前記ゲート絶縁膜を制御性良く形成することができる。

【図面の簡単な説明】

【図1】本発明のMOS型電界効果トランジスタの構造の第1の実施例を示す図である。

【図1】



【図2】本発明のMOS型電界効果トランジスタの構造の第2の実施例を示す図である。

【図3】(a)～(c)は、MOS型電界効果トランジスタの製造方法の第1の実施例を工程順に示す図である。

【図4】(a)～(c)は、MOS型電界効果トランジスタの製造方法の第2の実施例を工程順に示す図である。

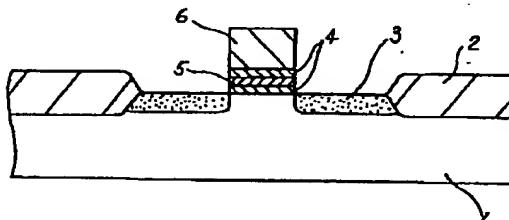
【図5】本発明によるゲート絶縁膜構造を有するp'ポリシリコンゲートPチャネルMOS型電界効果トランジスタと、シリコン酸化膜をゲート絶縁膜とする従来構造のp'ポリシリコンゲートPチャネルMOS型電界効果トランジスタと、窒化酸化膜をゲート絶縁膜とする構造のp'ポリシリコンゲートPチャネルMOS型電界効果トランジスタのしきい値電圧変動量の熱処理温度依存性を示す図である。

【図6】本発明の構造のトランジスタと、酸化膜をゲート絶縁膜とする従来構造トランジスタと、窒化酸化膜をゲート絶縁膜とするトランジスタの移動度を示す図である。

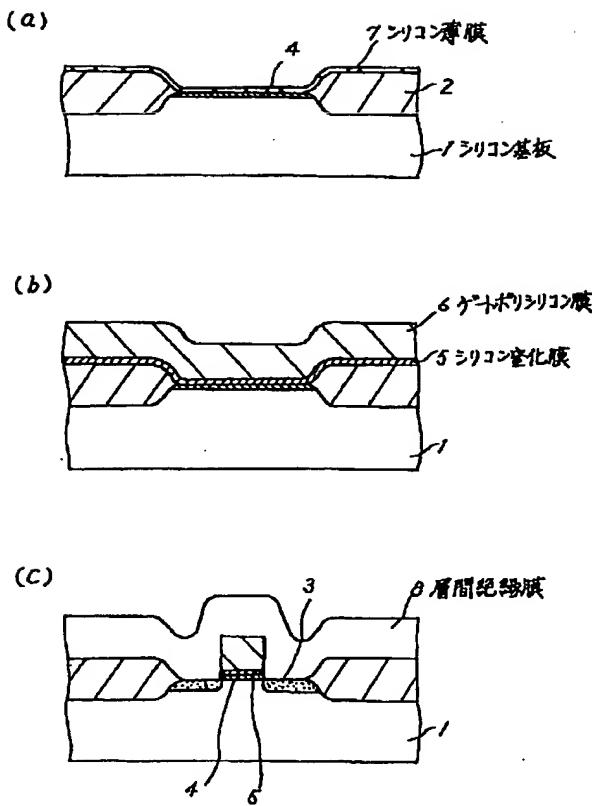
【符号の説明】

- 1 シリコン基板
- 2 素子分離領域
- 3 ソースまたはドレイン領域
- 4 シリコン酸化膜
- 5 シリコン窒化膜
- 6 ゲートポリシリコン膜
- 7 シリコン薄膜
- 8 層間絶縁膜

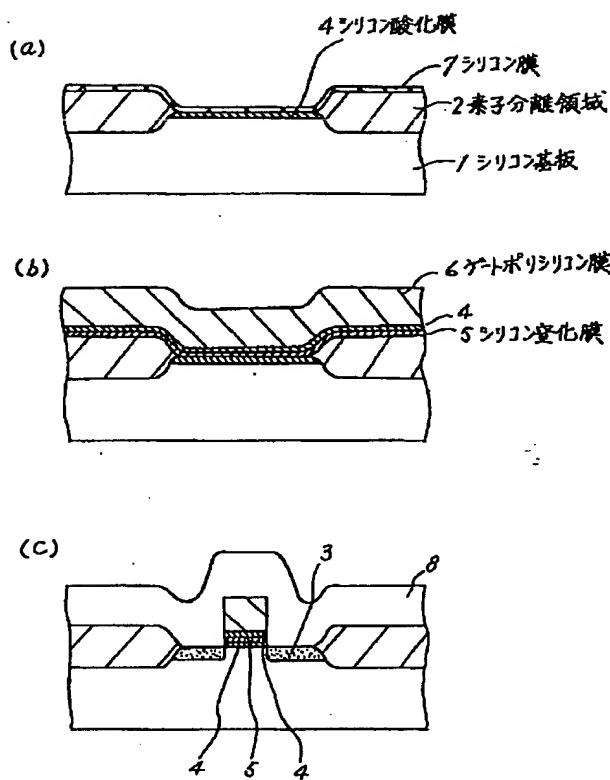
【図2】



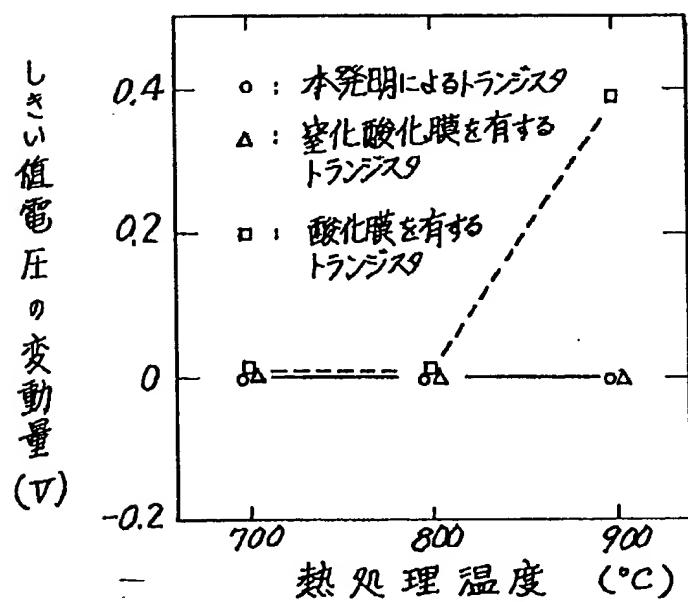
【図3】



【図4】



【図5】



【図6】

